

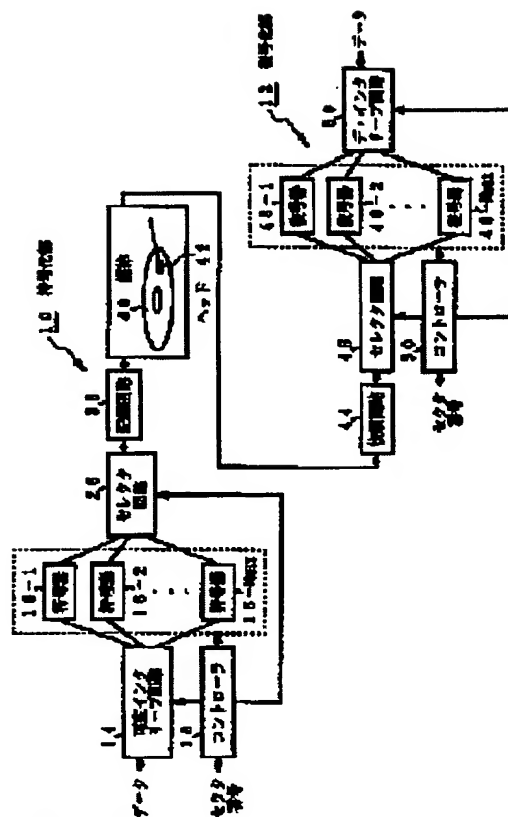
MAGNETIC DISK DEVICE

Patent number: JP10255402
Publication date: 1998-09-25
Inventor: OSHIMA TAKENORI
Applicant: FUJITSU LTD
Classification:
 - international: G11B20/12; G11B20/18; G11B20/18
 - european:
Application number: JP19970054366 19970310
Priority number(s):

Abstract of JP10255402

PROBLEM TO BE SOLVED: To make it possible to optimally correct error with an irreducible minimum number of interleaves at every sector.

SOLUTION: A controller 18 sets N of an optimum number of interleaves according to a sector number at a medium access time. A coding part 10 interleaves the input sector data in bit unit or in byte unit by N of the number of interleaves set by the controller 18, and generates an error correction code to add it, and re-arranges to the sector data to make write in a medium 40 through a recording circuit 35. After a decoding part 12 divides the sector data demodulated by a demodulation circuit 44 to a fixed length by N of the number of interleaves set by the controller 18 to correct them based on the error correction code, de-interleaves them in bit unit or in byte unit to output.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-255402

(43)公開日 平成10年(1998) 9月25日

(51)Int.Cl.*

G 1 1 B 20/12

20/18

識別記号

5 4 2

5 7 2

F I

G 1 1 B 20/12

20/18

5 4 2 B

5 7 2 B

5 7 2 F

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21)出願番号

特願平9-54366

(22)出願日

平成 9 年(1997) 3 月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 大島 武典

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

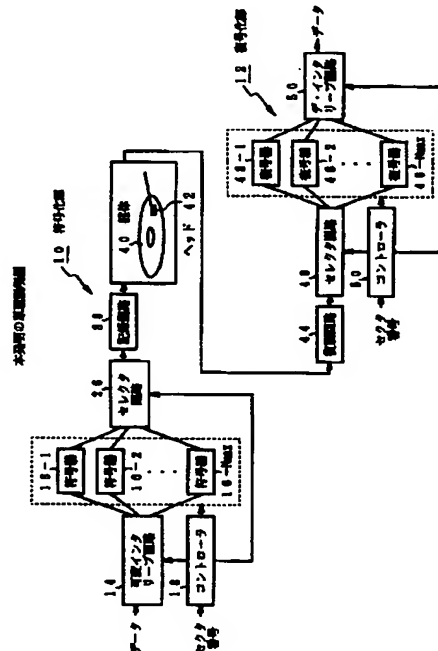
(74)代理人 弁理士 竹内 進 (外1名)

(54)【発明の名称】 磁気ディスク装置

(57)【要約】

【課題】セクタ毎に必要な最小限のインタリーブ数で最適な誤り訂正ができる

【解決手段】コントローラ18は、媒体アクセス時に、セクタ番号に応じた最適なインタリーブ数Nを設定する。符号化部10は、入力セクタデータをコントローラ18の設定インタリーブ数Nによりビット単位又はバイト単位にインタリーブして誤り訂正符号を生成して付加し、セクタデータに並び替えて媒体40に記録回路35を通じて書込ませる。復号化部12は、復調回路44で復調されたセクタデータをコントローラ18の設定インタリーブ数Nにより一定長に分割して誤り訂正符号に基づいて訂正した後に、ビット又はバイト単位にデ・インタリーブして出力する。



【特許請求の範囲】

【請求項1】媒体トラック上にセクタ単位にデータを読み書きする磁気ディスク装置に於いて、媒体アクセス時に、セクタ番号に応じた最適なインタリーブ数 N を設定するコントローラと、入力したセクタデータを前記コントローラで設定されたインタリーブ数 N に従ってインタリーブし、インタリーブされた複数データの各々につき誤り訂正符号を生成して付加した後にセクタデータに並び替えて前記媒体に書込ませる符号化部と、前記媒体から読み出したセクタデータを前記コントローラで設定されたインタリーブ数 N に従って一定長に分割し、分割したデータの各々につき誤り訂正符号に基づいて訂正した後にデ・インタリーブして出力する復号化部と、を備えたことを特徴とする磁気ディスク装置。

【請求項2】請求項1記載の磁気ディスク装置に於いて、前記符号化部は、入力データを前記コントローラで設定されたインタリーブ数に応じてビット又はバイト単位にインタリーブするインタリーブ回路と、前記コントローラにより設定可能な最大インタリーブ数分設けられ、前記インタリーブ回路でインタリーブされた各データから誤り検出訂正符号を生成して付加する複数の符号器と、前記複数の符号器からの符号化データをセクタデータに並び代えて記録回路に出力するセクタ回路を備え、前記復号化部は、媒体読取り時に復調回路から出力されたセクタデータを、前記コントローラによるリードセクタの設定インタリーブ数 N に応じて一定長に分割するセクタ回路と、前記コントローラにより設定可能な最大インタリーブ数分設けられ、前記セクタ回路で分割された各データにつき誤り訂正符号に基づいて誤りを訂正する複数の復号器と、前記複数の復号器の出力データをビット又はバイト単位にデ・インタリーブしリードデータとして出力するデ・インタリーブ回路と、を備えたことを特徴とする磁気ディスク装置。

【請求項3】請求項2記載の磁気ディスク装置に於いて、前記コントローラは、セクタデータのアクセス時に使用していない前記符号化部の符号器又は前記復号化部の復号器に対する電源供給を遮断することを特徴とする磁気ディスク装置。

【請求項4】請求項1記載の磁気ディスク装置に於いて、前記コントローラは、測定した媒体上の欠陥の分布に基づいてセクタ番号に対するインタリーブ数を決定してメモリに記憶し、媒体アクセス時にセクタ番号により前記メモリから対応するインタリーブ数を読み出して設定することを特徴とする磁気ディスク装置。

【請求項5】請求項1記載の磁気ディスク装置に於いて、前記コントローラは、読出しデータに訂正不能な誤りを起した場合、前記設定インタリーブ数を最大インタリーブ数を超えない範囲において増加させることを特徴

とする磁気ディスク装置。

【請求項6】請求項1記載の磁気ディスク装置に於いて、前記コントローラは、インタリーブ数 N を 2^n となるように設定することを特徴とする磁気ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、媒体トラック上にセクタ単位に読み書きするデータに誤り検出訂正符号(ECC)を生成して付加することにより読出データの誤りを訂正する磁気ディスク装置に関し、特にバースト誤りに対する訂正能力を向上するためにセクタデータをインタリーブ(Interleave:交錯)して誤り訂正を行う磁気ディスク装置に関する。

【0002】

【従来の技術】従来、インタリーブによる誤り検出訂正符号を用いた磁気ディスク装置としては図9のものがあ。図9において、ライトチャネル側となる符号化部100には、インタリーブ回路62、複数の符号器16-1、16-2、...、16-N、セクタ回路38が設けられる。インタリーブ回路62は、記録回路35及びヘッド42によって媒体40のトラック上にセクタ単位にデータを書込む際に、入力データを固定的に決められたインタリーブ数 N に従ってビット単位又はバイト単位にインタリーブする。

【0003】インタリーブされた N 個のデータは、符号器16-1~16-Nに与えられ、各データから所定の誤り検出訂正符号を生成して付加し、セクタ回路26でデータストリームに並べて記録回路35に出力している。またリードチャネル側となる復号化部102には、セクタ回路、復号器48-1~48-N及びデ・インタリーブ回路50が設けられる。ヘッド42による媒体40のトラックからの読出しにより復調回路44でセクタデータが復調される。

【0004】復調されたセクタデータはセクタ回路64で固定的に決められているインタリーブ数に従って N 個の一定長データに分割され、復号器48-1~48-Nの各々でエラー検出に基づく訂正が行われ、デ・インタリーブ回路50で元の並びにデ・インタリーブしてリードデータとして出力する。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の磁気ディスク装置のインタリーブによる誤り訂正にあっては、セクタの如何にかかわらず、固定的に決めたインタリーブ数を常に使用している。通常、インタリーブ数は、装置内で生じるバーストエラーとランダムノイズによるエラーの確率によってある値に決められている。この想定値を超えるバーストエラーが発生すると誤り訂正ができずにエラーしてしまう。また想定値よりバーストエラーが少なければ、無駄な処理を行うことになる。

【0006】このように従来の磁気ディスク装置では、バーストエラーを固定的に考えて所定のインタリーブ数により誤り検出訂正を行っているが、実際の装置においてはバーストエラーの分布は様ではなく、エラー訂正ができなかったり、必要以上の無駄な処理を行っているという問題があった。本発明は、このような従来の問題点に鑑みてなされたもので、セクタ毎に必要な最小限のインタリーブ数で最適な誤り訂正ができるようにした磁気ディスク装置を提供することを目的とする。

【0007】

【課題を解決するための手段】図1は本発明の原理説明図である。まず本発明は、媒体40のトラック上にヘッド42によりセクタ単位にデータを読み書きする磁気ディスク装置を対象とする。磁気ディスク装置は、媒体40のトラック上にフォーマット等によってセクタが割り当てられれば、各セクタ内で生じるバーストエラーの長さがほぼ判明する。単純なランダムノイズによるエラーはバーストエラーの長さに比べれば十分に小さく、訂正可能である。そこで、最悪ケースとして、ランダムノイズがバーストエラーに加わった場合を考える。しかし、この最悪ケースでもバーストエラーの長さがカバーできれば、ランダムノイズによる長さの増加はリードによって無視できると推測される。

【0008】そこで、本発明の磁気ディスク装置にあつては、セクタ単位に初期のエラーの分布を測定し、各セクタにおいて最適なインタリーブ数に予め設定し、媒体アクセス時に誤り訂正の機能を最大状態で使用することがなく、セクタ毎に最適なインタリーブ数を設定して誤り訂正を行うため、各セクタにつき必要最小限の処理と回路機能で済み、消費電力を最小源に抑えることができる。

【0009】即ち、本発明の磁気ディスク装置にあつては、媒体アクセス時に、セクタ番号に応じた最適なインタリーブ数 N を設定するコントローラ18と、入力したセクタデータをコントローラ18で設定されたインタリーブ数 N に従ってビット単位又はバイト単位にインタリーブし、インタリーブされた複数データの各々につき誤り訂正符号を生成して付加した後にセクタデータに並び替えて前記媒体40に記録回路35を通じて書込させる符号化部10と、媒体40から読み出して復調回路44で復調されたセクタデータをコントローラ18で設定されたインタリーブ数 N に従って一定長に分割し、分割したデータの各々につき誤り訂正符号に基づいて訂正した後にビット又はバイト単位にデ・インタリーブして出力する復号化部12とを備えたことを特徴とする。

【0010】具体的には、符号化部10は、入力データをコントローラ18で設定されたインタリーブ数に応じてビット又はバイト単位にインタリーブするインタリーブ回路14、コントローラ18で設定可能な最大インタリーブ数 N_{\max} 分設けられ、インタリーブ回路14でイ

ンタリーブされた各データから誤り検出訂正符号を生成して付加する複数の符号器16-1～16- N_{\max} 、及び符号器16-1～16- N_{\max} からの符号化データをセクタデータに並び替えて記録回路35に出力するセレクト回路26を備える。

【0011】また復号化部12は、媒体読取時に復調回路44から出力されたセクタデータを、コントローラ18による設定インタリーブ数 N で一定長に分割するセレクト回路46、コントローラで設定可能な最大インタリーブ数 N_{\max} 分設けられ、セレクト回路16で N 分割された各データにつき誤り訂正符号に基づいて誤りを訂正する複数の復号器16-1～16- N_{\max} 、及び復号器16-1～16- N_{\max} の出力データをビット又はバイト単位にデ・インタリーブし、リードデータとして出力するデ・インタリーブ回路52を備える。

【0012】コントローラ18は、セクタデータのアクセス時に使用していない符号化部10の符号器又は復号化部12の復号器に対する電源供給を遮断する。またコントローラ18は、測定した媒体上の欠陥の分布によりセクタ番号に対するインタリーブ数を決定してメモリに記憶し、媒体アクセス時にセクタ番号によりメモリから対応するインタリーブ数を読み出して設定する。

【0013】またコントローラは、読出しデータに訂正不能な誤りを起した場合、設定インタリーブ数を最大インタリーブ数を超えない範囲において増加させることが望ましい。更にコントローラ18は、例えばインタリーブ数 N を 2^n となるように設定する。

【0014】

【発明の実施の形態】図2は本発明の磁気ディスク装置のライトチャネル側に設けられる符号化部10の基本的なブロック図である。図2において、符号化部10にはコントローラ18が設けられ、コントローラ18に対しICメモリ28を接続している。ICメモリ28には、ディスク媒体のセクタ番号に対応して最適なインタリーブ数 N が予め記憶されている。

【0015】このICメモリ28に記憶する各セクタごとの最適なインタリーブ数は、磁気ディスク装置の製造段階でディスク媒体のセクタフォーマットを行った後に試験的にリードライトを行って測定した媒体上の欠陥の分布に基づいて、即ち各セクタのバーストエラーの分布に基づいて理想的なインタリーブ数 N を決定して記憶している。

【0016】このため、ライトアクセスの際にセクタ番号がICメモリ28に入力されると、入力したセクタ番号に対応する予め記憶されたインタリーブ数 N が読み出され、コントローラ18に与えられる。この実施形態にあつては、コントローラ18により設定するインタリーブ数 N は $N=2^n$ としており、例えば $n=2$ とすることで、最大インタリーブ数 $N_{\max}=2^n=2^2=4$ としている。

【0017】ライトアクセスの際に供給されるライトデータはバッファ20に保持された後、インタリーブ回路14-1、14-2、14-3によって2インタリーブまたは4インタリーブが行われる。インタリーブ回路14-1、14-2、14-3のそれぞれにおけるインタリーブは、ビット単位または所定ビット数のバイト単位に行われる。

【0018】説明を簡単にするため、ビット単位のインタリーブをインタリーブ回路14-1について説明すると、バッファ20に格納した1セクタ分のライトデータを先頭から奇数ビットと偶数ビットに交互に分けて出力することで、奇数ビットデータと偶数ビットデータの2つのデータにインタリーブする。インタリーブ回路14-2、14-3についても同様に、奇数ビットと偶数ビットにそれぞれインタリーブする。

【0019】前段のインタリーブ回路14-1と後段の2つのインタリーブ回路14-2、14-3との間には、コントローラ18によりオンオフされるスイッチS11、S12及びスイッチS21、S22、S23が設けられている。更に、電源供給をオンオフするスイッチS24も設けられている。これらのスイッチS11～S24は、スイッチS11、S12とスイッチS21～S24のグループに分けてオンオフされる。即ち図3に示すように、インタリーブ数NがN=2のときスイッチS11、S12はオンとなり、スイッチS21～S24はオフとなる。またインタリーブ数N4の場合、逆にスイッチS11、S12はオフとなり、スイッチS21～S24はオンとなる。

【0020】再び図2を参照するに、スイッチS11、S21、S22はデータの伝送ラインに設けられているが、これに対しスイッチS12、S23はクロックの伝送ラインに設けられている。前段のインタリーブ回路14-1は、1/2分周回路22の分周クロックにより駆動される。この1/2分周回路22にはライトデータに同期したクロックが入力しており、この入力クロックを1/2に分周してインタリーブ回路14-1に供給することで、バッファ20に格納された1セクタ分のライトデータを奇数ビットと偶数ビットに交互にインタリーブする。

【0021】1/2分周回路22の分周クロックは、スイッチS12を介して後段のインタリーブ回路14-2に与えられている。また1/2分周回路22の分周クロックは1/2分周回路24で更に分周されて1/4分周クロックとなり、スイッチS23を介して後段のインタリーブ回路14-2に供給されると共に、インタリーブ回路14-3には直接供給されている。

【0022】図3のインタリーブ数N=2の場合、スイッチS11、S12がオンし、それ以外のスイッチS21～S23はオフとなる。このため、バッファ20に保持された1セクタ分のライトデータは、オン状態となっ

たスイッチS11を介してインタリーブ回路14-2に供給される。同時にスイッチS12がオンすることで、1/2分周回路22からの分周クロックがインタリーブ回路14-2に供給される。

【0023】このとき、それ以外のインタリーブ回路14-1、14-3は、その動作を停止している。具体的には、スイッチS24がオフとなることで電源供給が断たれて動作を停止している。このため、バッファ20のライトデータはインタリーブ回路14-2によって1/2分周クロックにより交互に奇数ビットと偶数ビットにインタリーブされ、それぞれ符号器16-1、16-2に入力することになる。

【0024】一方、図3のインタリーブ数N=4の場合には、コントローラ18によってスイッチS21～S24が図示のようにオンとなり、このときスイッチS11、S12は図示のようにオフとなっている。このためバッファ20のライトデータはインタリーブ回路14-1に入力され、1/2分周回路22からの1/2分周クロックにより、奇数ビットと偶数ビットの各データにインタリーブされ、スイッチ21、S22を介して次段のインタリーブ回路14-2、14-3に並列的に与えられる。

【0025】このときインタリーブ回路14-2には、オン状態にあるスイッチS23を介して1/2分周回路24からの1/4分周クロックが与えられており、またインタリーブ回路14-3には1/2分周回路24より直接1/4分周クロックが与えられている。このため、インタリーブ回路14-4でインタリーブされた奇数ビットのデータを奇数ビットと偶数ビットにインタリーブし、符号器16-1、16-2に供給する。

【0026】同時にインタリーブ回路14-3は、インタリーブ回路14-1からの偶数ビットのデータを更に奇数ビットと偶数ビットにインタリーブして、それぞれ符号器16-3、16-4に供給する。符号器16-1～16-4のそれぞれは、所定長のインタリーブされたデータを入力して、入力データからエラー検出訂正符号ECCを作成し、入力データに付加してセクタ回路26に出力する。

【0027】ここで符号器16-1、16-2は2インタリーブと4インタリーブの各々で符号化を行っており、2インタリーブの場合の入力データ長は1/2セクタ長であり、4インタリーブの場合は1/4セクタ長であり、これらの入力データのセクタ長を認識して誤り検出訂正符号を生成する。これに対し符号器16-3、16-4は4インタリーブの場合に使用されることから、1/4セクタ長の入力データのみから誤り検出訂正符号を作成するだけでよい。

【0028】次に図2の符号化部10の動作を説明する。いまライトアクセスに基づいてあるセクタ番号がICメモリ28に与えられ、このセクタ番号に対応してイ

シタリブ数 $N=4$ が演算されてコントローラ18に与えられたとする。コントローラ18はICメモリ28からのインタリブ数 $N=4$ を認識し、図3のインタリブ数 $N=4$ に示すように、スイッチS11、S12をオフし、スイッチS21～S24をオンとする。

【0029】同時にバッファ20に対しては1セクタ分のライトデータが格納され、格納後のクロックに同期してインタリブ回路14-1に出力される。インタリブ回路14-1にあっては、1/2分周回路22からの1/2分周クロックに同期してバッファ20からのライトデータを2ビット単位にインタリブし、奇数番目の2ビットデータはスイッチS21を介してインタリブ回路14-2に与えられ、偶数番目の2ビットデータはスイッチS22を介してインタリブ回路14-3に与えられる。

【0030】インタリブ回路14-2にあっては、インタリブ回路14-1からの奇数番目の2ビットデータを更に1ビット単位にインタリブし、符号器16-1、16-2に入力して符号化する。インタリブ回路14-3側にあっても、インタリブ回路14-1からの偶数番目の2ビットデータを入力して1ビット単位にインタリブして符号器16-3、16-4に供給する。

【0031】例えば、1セクタ分のデータのビットを番号「1, 2, 3, 4, 5, 6, 7, 8, ... m」で表わすと、インタリブ回路14-1～14-3のインタリブによって符号器16-1～16-4に対するデータは、

「1, 5, ..., m-3」

「2, 6, ..., m-2」

「3, 7, ..., m-1」

「4, 8, ..., m」

の4つにインタリブされる。尚、mは1セクタのビット数で例えば512バイト又は1024バイト相当である。

【0032】このとき符号器16-1～16-4長は、4インタリブされた各データから誤り検出訂正符号を生成し、これを末尾に付加してセクタ回路26に出力する。セクタ回路26は、符号器16-1～16-4から出力された4つにインタリブされて誤り検出訂正符号が付加されたデータを、符号器16-1～16-4の順番に並び替えてセクタデータとし、図1の記録回路35側に出力し、ヘッド42により媒体40の指定されたトラックのセクタ位置に書き込む。

【0033】一方、ライトアクセスのセクタ番号の入力に対しICメモリ28からインタリブ数 $N=2$ が読み出された場合には、コントローラ18は図3のインタリブ数 $N=2$ の場合のように、スイッチS11、S12のみをオンし、残りのスイッチS21～S24は全てオフとする。このためバッファ20に格納されたライトデ

ータはスイッチS11を介してインタリブ回路14-2に供給される。

【0034】インタリブ回路14-2には1/2分周回路22より1/2分周クロックがスイッチS12を介して供給されているため、バッファ20からのライトデータを1ビット単位に奇数ビットと偶数ビットの各データにインタリブし、それぞれ符号器16-1、16-2に供給する。このとき符号器16-1、16-2は、1/2セクタ長のデータ入力に基づいて誤り検出訂正符号を作成する動作状態に切り替わっており、1/2セクタ長のデータ入力を得られた時点で誤り検出訂正符号を作成し、末尾に付加してセクタ回路26に出力する。

【0035】セクタ回路26は、符号器16-1、16-2から得られたインタリブされて誤り訂正符号が付加されたデータを順番に記録装置35に出力し、図1に示したように、ヘッド42により媒体40に書き込む。この2インタリブの動作時にあっては、コントローラ18はスイッチS24をオフしているため、使用されていない1/2分周回路24、インタリブ回路14-3及び符号器16-3、16-4に対する電源供給が停止しており、2インタリブに必要な回路部分のみに電源を供給して動作している。

【0036】図4は図3の符号化部10の具体的な回路ブロック図であり、スイッチS11～S24にリレーコイルL11～L24で駆動されるリレー接点を用いたことを特徴とする。またセクタ番号から2インタリブまたは4インタリブの制御に必要なスイッチS11～S24に対する制御信号を出力するため、例えば図5のようなテーブル情報が予め記憶されている。図5はセクタ番号に対するメモリ読出力を示しており、+5Vで4インタリブを設定し、0Vで2インタリブを設定している。

【0037】図4のコントローラ18はバッファ30とインバータ回路32で構成される。バッファ30には、セクタ番号の入力でICメモリ28から出力された図5の出力値が保持される。インバータ回路32は、バッファ30の保持値を反転して出力する。例えば図5のセクタ番号00にあっては、4インタリブを示す+5VがICメモリ28から読み出されてバッファ30に保持され、バッファ30の+5V出力によりスイッチS21～S24のリレーコイルL21～L24が通電してスイッチS21～S24がオンする。同時にバッファ30の出力する+5Vはインバータ回路32で反転されて0Vとなり、このためリレーコイルL11、L12は通電されずに、スイッチS11、S12はオフとなる。

【0038】またセクタ番号01の入力に対しICメモリ28の出力は、2インタリブを示す0Vとなってバッファ30に保持される。このためバッファ30からの0V出力によりリレーコイルL21～L24の通電が停止し、スイッチS21～S24はオフとなる。このとき

バッファ30の0Vを反転してインバータ回路32の出力は+5Vとなり、リレーL11、L12が通電されてスイッチS11、S12がオンとなる。

【0039】図6は図4のインタリーブ回路14-1のブロック図である。インタリーブ回路14-1には、レベルホールド回路34、36、及びインバータ回路38が設けられている。レベルホールド回路34、36は、クロックに同期してデータを1ビット単位に保持して出力する。即ち、データクロックがHレベルのときレベルホールド回路34がそのときのデータビットをホールドし、これを奇数列のデータビットとして出力する。

【0040】次にクロックがLレベルに反転すると、インバータ回路38によりレベルホールド回路36に対するクロック出力がHレベルとなる。レベルホールド回路36でデータの次の偶数ビットをホールドして、偶数列のデータとして出力する。このようなレベルホールド回路34による奇数ビットのホールドとレベルホールド回路36による偶数ビットのホールドを交互に繰り返すことで、入力したデータを奇数列のデータと偶数列のデータにインタリーブすることができる。

【0041】図4のインタリーブ回路14-2、14-3についても図6と同じであり、入力するクロックの周期が異なるだけである。また図4のスイッチS11～S24にリレーコイルL11～L24でオンオフされるリレー接点を用いた実施形態の動作は、図2の基本的な回路ブロック図と同じである。図7は本発明の磁気ディスク装置のリードチャネル側に設けられる復号化部12の基本的な回路ブロックである。図7において、コントローラ18とICメモリ28は図2の符号化部10と同じものを使用している。もちろん、符号化部10と別に設けてもよい。

【0042】図1に示した媒体40よりヘッド42により読み出された信号は復調回路44で復調され、読み出されたセクタデータとしてバッファ54に格納される。バッファ54に続いてはセクタ回路46-1を設けている。セクタ回路46-1に続いてはセクタ回路46-2、46-3を並列的に設けている。セクタ回路46-1とセクタ回路46-2、46-3の間には、スイッチS11とS21～S24を設けている。

【0043】このスイッチS11～S24はコントローラ18によってオン、オフ制御され、インタリーブ数 $N=2$ 、4に対するオン、オフ制御の状態は図3の符号化部10と同じになる。即ち2インタリーブの場合には、スイッチS11、S12がオンし、スイッチS21～S24はオフとなる。このため、バッファ54の読み出されたセクタデータはスイッチS11を介してセクタ回路46-2に与えられ、セクタ回路46-2によって1/2セクタ長となる2つのデータに分割され、符号器48-1、48-2に供給される。

【0044】一方、インタリーブ数 $N=4$ の場合には、

スイッチS21～S24がオンとなり、スイッチS11、S12はオフとなる。このためバッファ54のセクタデータセクタ回路46-1に与えられて1/2セクタ長を持つ2つのデータに分割され、スイッチS21、S22を介して次段のセクタ回路46-2、46-3に供給される。

【0045】セクタ回路46-2は、2インタリーブの場合には入力データを1/2セクタ長1/2セクタ長に分割して復号器48-1、48-2に供給するが、4インタリーブの際には1/4セクタ長に分割して復号器48-1、48-2に供給する。セクタ回路46-3は4インタリーブの際にのみスイッチS24のオンで電源供給を受けることから、1/2セクタ長の入力データを1/4セクタ長に分割して復号器48-3、48-4に供給する。

【0046】復号器48-1～48-4は入力データに付加された誤り検出訂正符号に基づいて誤り訂正を行い、デインタリーブ回路50に誤り訂正が済んだデータを出力する。デインタリーブ回路50は、2インタリーブの際には復号器48-1からのデータと復号器48-2からの1/2セクタ長のデータをビット単位に交互に切り替えて元のセクタデータを作り出し、リードデータとして出力する。

【0047】また4インタリーブの際には、復号器48-1～48-4からの1/4セクタ長データをビット単位に順番に切替えて並べ替え、元のセクタデータを生成してリードデータとして出力する。セクタ回路46-1、46-3の入力データの切替えは、1/2カウント回路56と1/4カウント回路58により行われる。1/2カウント回路56は、リードデータに同期したクロックを計数し、1セクタの1/2のクロックカウント、即ち1/2セクタ長の検出で切替信号を出力する。また1/4カウント回路58は、リードデータに同期したクロックを開始し、1/4セクタ長の検出毎に切替信号を出力する。

【0048】このためインタリーブ数 $N=2$ でセクタ回路46-2が使用される場合には、バッファ54からのリードデータの前半の1/2セクタ長をスイッチS11を介してセクタ回路46に入力して復号器48-1側に供給しており、その後1/2セクタ分のクロックカウントで1/2カウント回路56が切替信号を出力すると、スイッチS12を介してセクタ回路48-2が切替信号により復号器48-2側の出力に切り替わり、後半の1/2セクタ長を符号器48-2に供給する。このためセクタ回路46-2によって、入力したリードデータは、1/2セクタ長となる2つのインタリーブされたデータに分割される。

【0049】従って、インタリーブ数 $N=2$ の場合には、復号器48-1、48-2の順番に1/2セクタ長の2インタリーブされたデータについての訂正が行わ

れ、デ・インタリーブ回路50で元のビット配列に戻して出力される。一方、インタリーブ数 $N=4$ の場合には、バッファ54からのリードデータはセクタ回路46-1に入力され、1/2セクタ長に亘りスイッチS21を介してセクタ回路46-2に供給される。この時、セクタ回路46-2は、出力を符号器48-1に切替えており、最初のデータは符号器48-1に入力される。

【0050】この状態でセクタ先頭から1/4セクタ分のクロックカウントが1/4カウント回路58で行われると、切替信号がスイッチS23を介してセクタ回路46-2に与えられ、それまでの復号器48-1に対する出力から復号器48-2に対する出力に切り替わる。更に1/2セクタ長のクロックカウントが行われて1/2カウント回路56が切替出力を生ずると、セクタ回路46-1がそれまでのスイッチS21側への出力をスイッチS22側に切り替える。このとき1/4カウント回路58も再度の1/4セクタ長のクロックカウントで切替信号を出力しており、セクタ回路46-1からスイッチS22を通ったデータはセクタ回路46-3により復号器48-3に供給される。

【0051】更に1/4セクタ長のクロックカウント、即ちセクタ先頭から3/4セクタ分のクロックカウントが行われると、1/4カウント回路58が切替信号を出力してセクタ回路46-3の出力を復号器48-4に切り替える。このため、インタリーブ数 $N=4$ の場合には、復号器48-1~48-4の順番に4分割された1/4セクタ長のデータの訂正が順次行われ、訂正終了後にデ・インタリーブ回路50で元のビット配列に並び替えて出力される。

【0052】この図7の復号化部12の具体例としては、スイッチS11~S24の構成及び制御が図2の符号化部10と同じであることから、図4に示したと同じリレーコイルL11~L24のリレー接点をスイッチS11~S24に用いた実施形態がそのまま適用できる。図8は図2及び図7に示した本発明の磁気ディスク装置における符号化部10及び復号化部12による処理の流れをインタリーブ数 $N=4$ の場合を例にとって示しており、ビット番号は1~4の繰り返しで表わしている。まず符号化部10にあっては、1セクタ分の入力ライトデータWDをビット番号1~4で示す4ビット他印に1ビットずつ振り分けて4つのインタリーブのデータ列を生成し、各インタリーブされたデータ列について誤り検出訂正符号ECCを発生して付加し、その後にビット順番1~4の順番に並べて媒体に書き込むことで、媒体データMDとしている。

【0053】一方、復号化部12にあっては、媒体データMDをリードし、これを1/4セクタ長ごとに分割した後、復号器で誤り検出訂正符号ECCを使用して誤り訂正を行って1/4セクタ長単位の4インタリーブされ

たデータとし、最終的に4つのインタリーブされたデータのビット番号1~4の順に順次並び替えるデ・インタリーブを行って、リードデータRDを出力する。

【0054】尚、上記の実施形態にあっては、入力データをビット単位にインタリーブする場合を例にとっているが、所定ビット長単位、具体的にバイト長単位にインタリーブするようにしてもよい。バイト長単位でインタリーブした場合には、図2、図4、図7の実施例に示しているデータラインは1バイトを構成するビット数分のパラレルラインを使用することになる。

【0055】また上記の実施形態にあっては、インタリーブ数 N を $N=2^n$ （但し $n=1, 2, \dots$ の整数）としているが、インタリーブ数 N は2以上であれば適宜の数を定めるようにしてもよい。更に、セクタ番号に基づいて最適なインタリーブ数 N を格納したコントローラ18のICメモリ28については、現在設定しているインタリーブ数 N によるリードアクセスで訂正不能な誤りが発生した場合には、最大インタリーブ数の範囲内でインタリーブ数 N を増加させればよい。このインタリーブ数 N の増加は、ICメモリ28からのインタリーブ数 N により訂正できない誤りが生じたときのリリードとして行うことが望ましい。もちろん、ICメモリ28に記憶しているインタリーブ数を書替えにより増加させてもよい。

【0056】更に上記の実施例にあっては、コントローラ18としてハードウェア構成のものを例にとっているが、磁気ディスク装置に設けているMPUのプログラム制御によりセクタ番号からインタリーブ数を求め、インタリーブ数に対応した符号化部10及び復号化部12のスイッチ切替制御を行うようにしてもよいことはもちろんである。

【0057】

【発明の効果】以上説明してきたように本発明によれば、磁気ディスク装置に特有のエラー発生を考慮し、セクタごとに必要最小限のインタリーブ数で最適な誤り訂正を実現し、各セクタにつき必要最小限の処理と回路機能で済み、最大インタリーブ数に対応した回路を備えていても必要な回路部のみ動作で済むことから、消費電力を最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明で用いる符号化部の基本構成のブロック図

【図3】図2におけるインタリーブ数に対するスイッチ制御の説明図

【図4】図2の符号化部の具体的な回路ブロック図

【図5】図4のメモリの格納テーブルの説明図

【図6】図4のセクタ回路の回路ブロック図

【図7】本発明で用いる復号化部の基本構成のブロック図

【図8】本発明による符号化部のインタリーブ及び復号化部のデ・インタリーブの説明図

【図9】従来装置のブロック図

【符号の説明】

10：符号化部

12：復号化部

14, 14-1~14-3：インタリーブ回路

16-1~16-Nmax：符号器

18：コントローラ

20, 30：バッファ

22, 24：1/2分周回路

26：セクタ回路

28：ICメモリ

32, 38：インバータ回路

34, 36：レベルホールド回路

35：記録回路

40：媒体

42：ヘッド

44：復調回路

46：セクタ回路

48-1~48-Nmax：復号器

50：デ・インタリーブ回路

56：1/2カウント回路

58：1/4カウント回路

S11~S24：スイッチ

L11~L24：リレーコイル

【図3】

図2におけるインタリーブ数に対するスイッチ制御の説明図

インタリーブ数N	S11	S12	S21	S22	S23	S24
2	オン	オン	オフ	オフ	オフ	オフ
4	オフ	オフ	オン	オン	オン	オン

【図5】

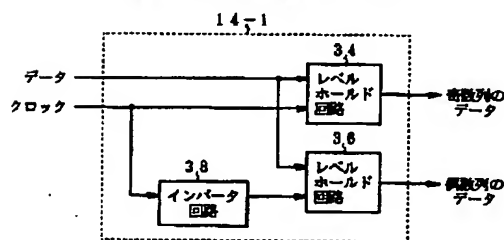
図4のメモリの格納テーブルの説明図

セクタ番号(入力)	(出力)
00	+5V
01	0V
02	0V
03	+5V
04	0V
05	0V
06	0V

+5V：4インタリーブ
0V：2インタリーブ

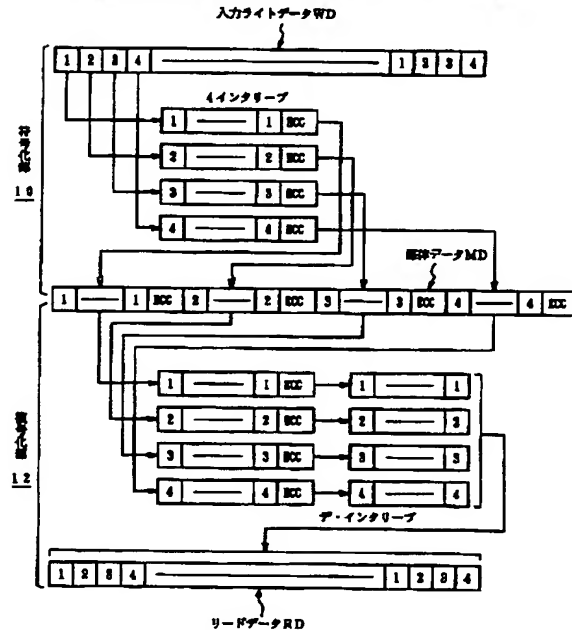
【図6】

図4のセクタ回路の回路ブロック図



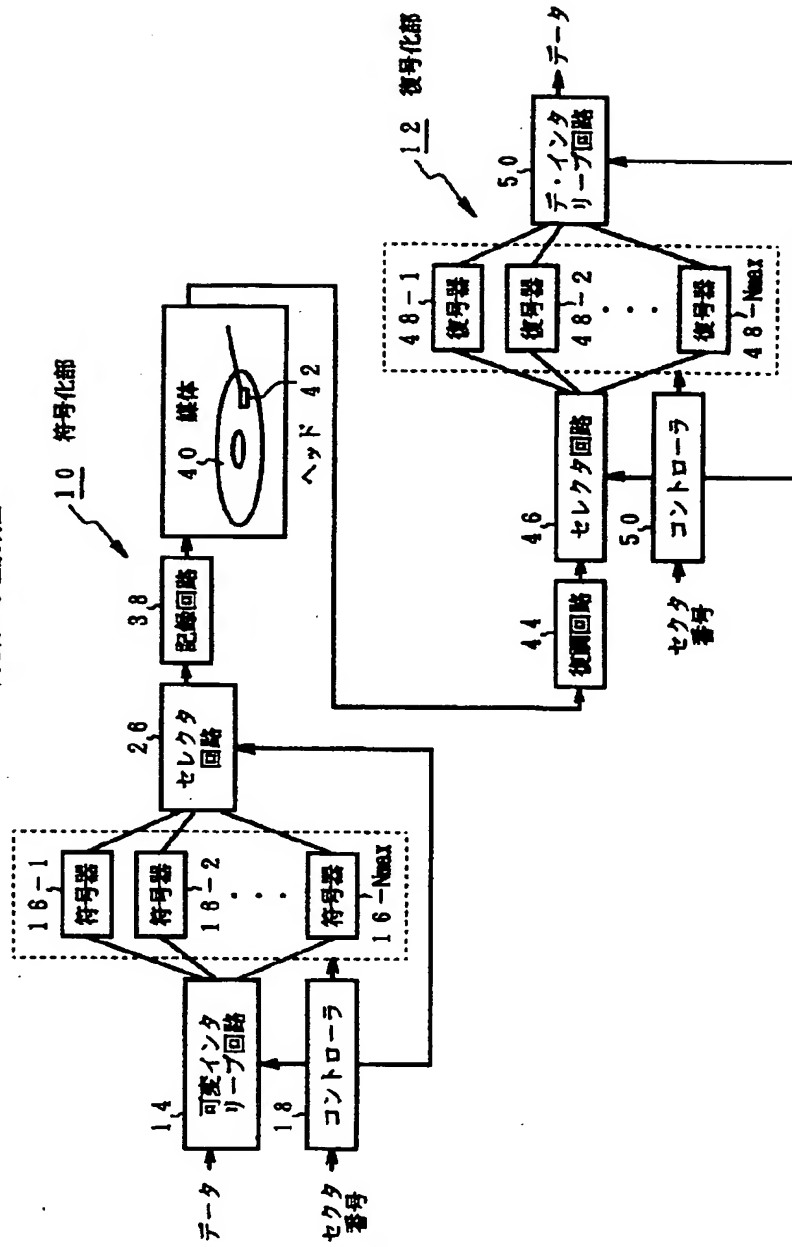
【図8】

本発明による符号化部のインタリーブ及び復号化部のデ・インタリーブの説明図



【図1】

本発明の原理説明図



【図2】

本発明で用いる符号化部の基本構成のブロック図

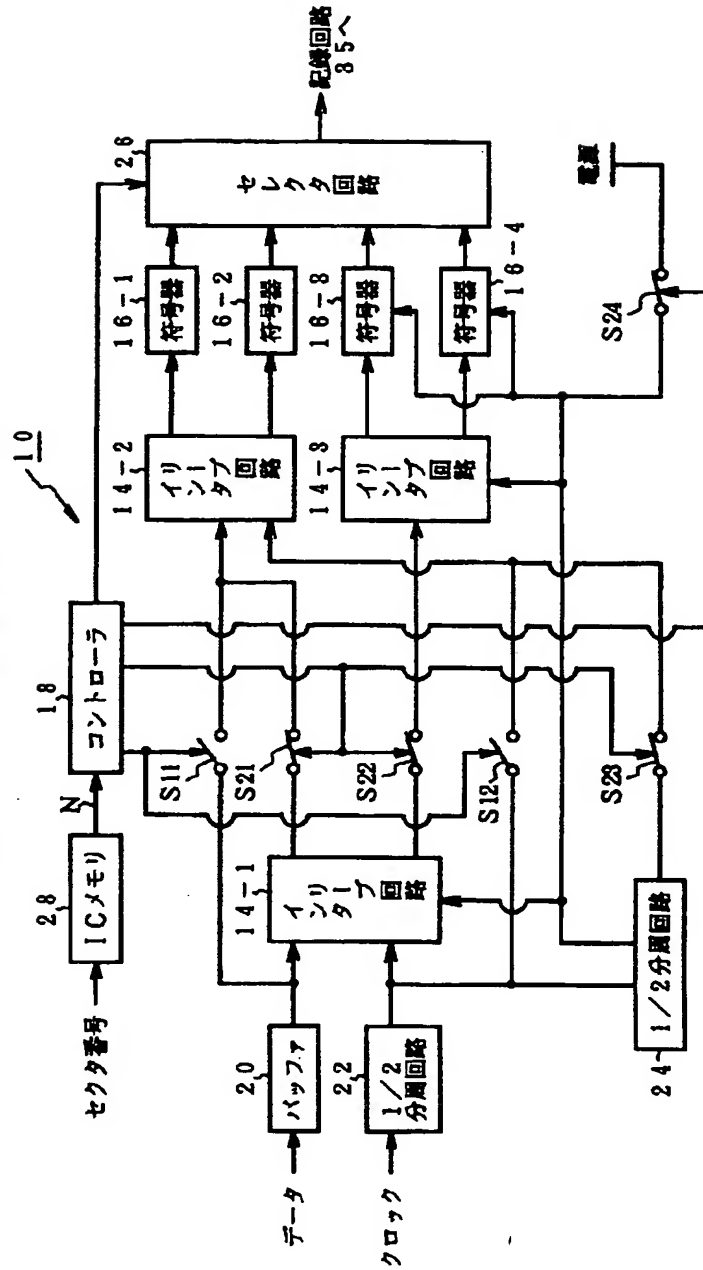
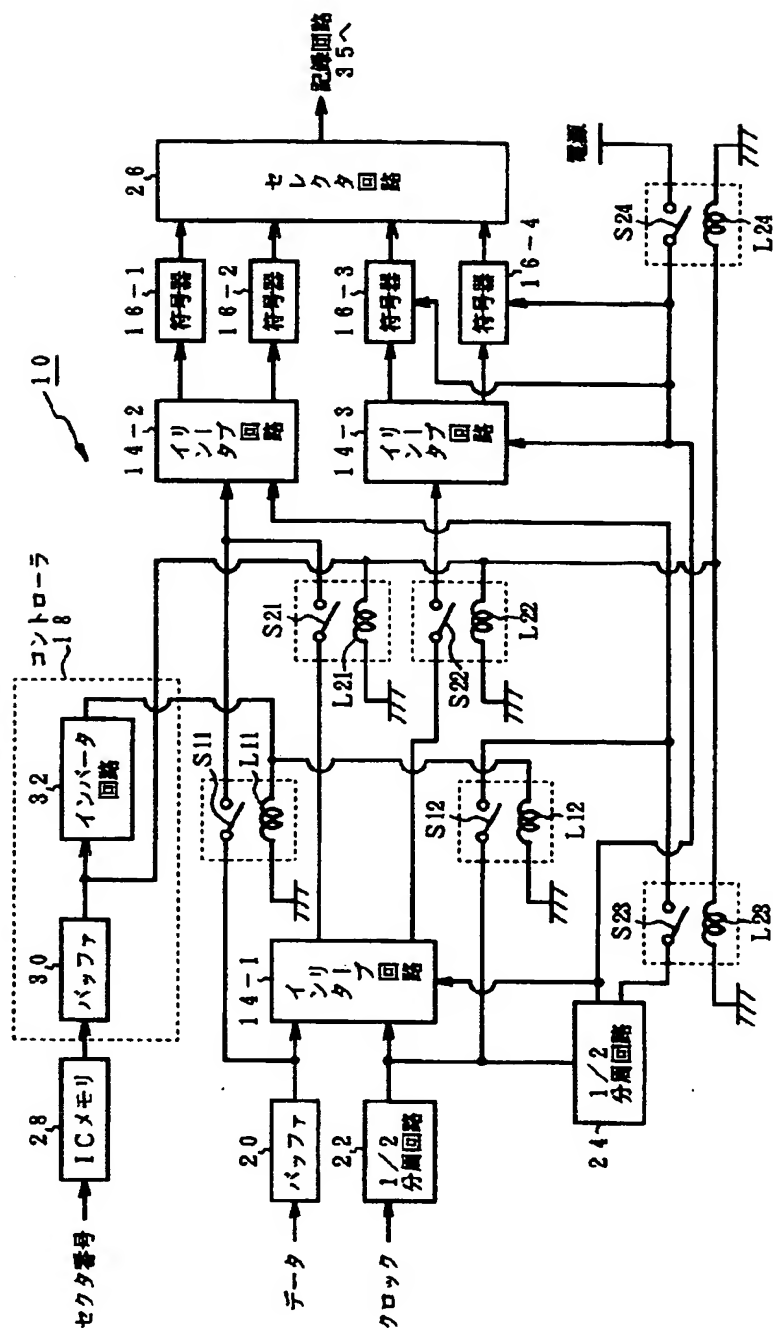
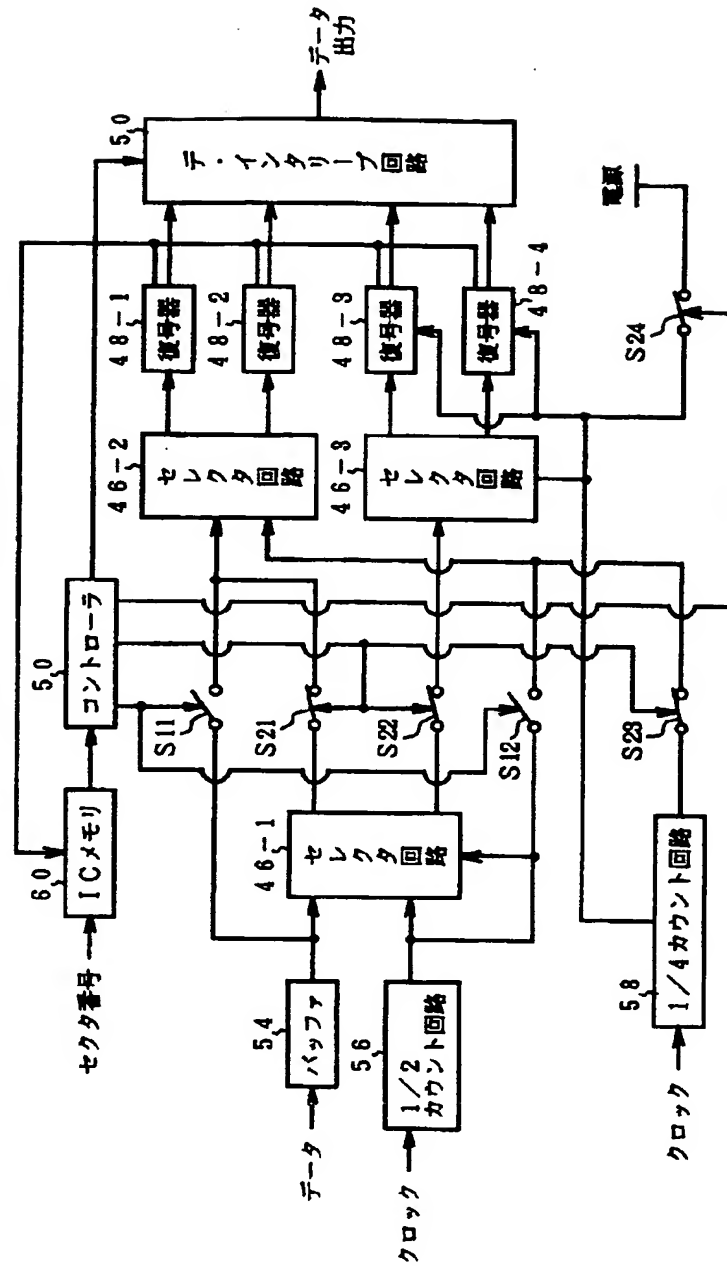


図2の符号化部の具体的な回路ブロック図



【図7】

本発明で用いる復号化部の基本構成のブロック図



【図9】

